

19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

14999/2611
12 Offenlegungsschrift

10 DE 197 56 895 A 1

51 Int. Cl.⁶:
G 11 C 16/06
G 06 K 19/10

21 Aktenzeichen: 197 56 895.5
22 Anmeldetag: 19. 12. 97
43 Offenlegungstag: 5. 8. 99

DE 197 56 895 A 1

71 Anmelder:
Siemens AG, 80333 München, DE

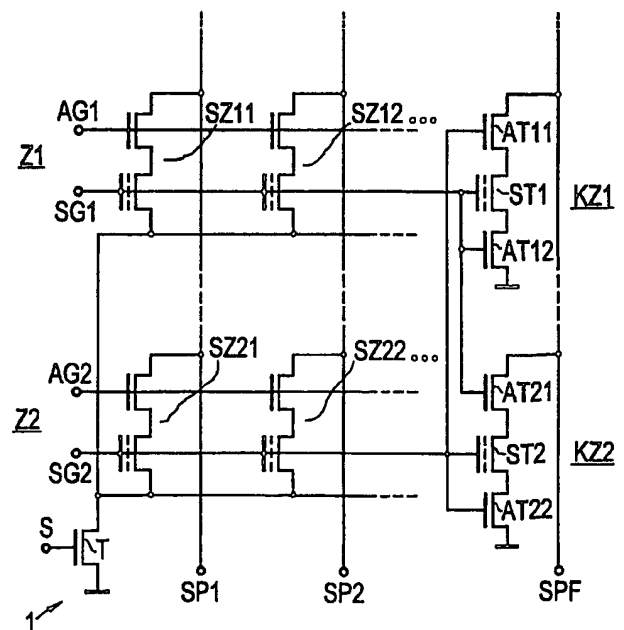
72 Erfinder:
Pockrandt, Wolfgang, 85293 Reichertshausen, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Verfahren zum sicheren Ändern eines in einem nicht-flüchtigen Speicher gespeicherten Wertes und Schaltungsanordnung hierzu

57 Verfahren zum sicheren Ändern des Wertes eines Datenträgers mit zumindest zwei nicht-flüchtigen Speicherbereichen (Z1, Z2) zum Speichern des jeweils gültigen Wertes, wobei jedem Speicherbereich (Z1, Z2) zumindest eine nicht-flüchtige Kontrollspeicherzelle (KZ1, KZ2) zugeordnet ist, durch deren Zustand der jeweils gültige Speicherbereich Z1; Z2) definiert ist, Zuerst wird der nicht-gültige Speicherbereich (Z2; Z1) mit dem aktuellen Wert beschrieben. Anschließend werden der zuvor gültige Speicherbereich (Z1; Z2) und die zugehörige Kontrollspeicherzelle (KZ1; KZ2) gleichzeitig gelöscht und ebenfalls gleichzeitig wird die Kontrollspeicherzelle (KZ2; KZ1) des zuvor beschriebenen Speicherbereichs (Z2; Z1) programmiert, so daß dieser als der gültige Speicherbereich erkannt werden kann.



DE 197 56 895 A 1

Beschreibung

Es sind derzeit vielfältige Anwendungen in Gebrauch, bei denen Werte, die beispielsweise durch einen Zählerstand repräsentiert sind, nicht-flüchtig festgehalten werden. Die Speicherung erfolgt vorzugsweise in Festwertspeichern wie EPROMs, EEPROMs und Flash-EPROMs, d. h. in Speichern, die gelöscht und wieder beschrieben werden können. Die Speicher und die den Wert ermittelnden Schaltungen sowie den Wertermittlungs- und Speicherablauf steuernden Schaltungen sind zumeist in integrierten Schaltungen realisiert. Die integrierten Schaltungen bzw. der sie beinhaltende Halbleiterchip sind zur besseren Handhabung derzeit meistens in kartenförmigen Datenträgern eingebettet. Der Wert stellt in den meisten Fällen ein monetäres Guthaben dar, das beispielsweise bei Telefonkarten nur verringert, bei Geldkarten aber auch wieder erhöht werden kann. Der Wert kann aber auch beispielsweise der Stand eines Kilometerzählers in einem Fahrzeug sein.

Die DE 36 38 505 A1 beschreibt einen Wertzähler, der als flüchtiger Binärzähler ausgebildet ist, dessen Zählerstand nach Benutzung des Datenträgers nicht-flüchtig in einem EEPROM gespeichert wird. Bei Beginn einer Nutzung des Datenträgers wird der Inhalt des EEPROMs wieder in den Binärzähler als Anfangszählerstand übertragen. Der Zähler kann nur in der Richtung betrieben werden, in der der durch den Zählerstand repräsentierte Wert verringert wird. Da der Wert des Datenträgers somit nicht erhöht werden kann, ist nur ein geringer Manipulationsanreiz für Betrüger gegeben.

Ein in der WO 96/10810 beschriebener Datenträger soll wieder aufgeladen werden können, sein Wert also auch erhöht werden können. Der dortige Zähler ist mit EEPROM-Speicherzellen gebildet, und derart organisiert, daß er als mehrstufiger Zähler nach dem Abakusprinzip arbeitet. Um eine Manipulation bei einer Änderung des Zählerstandes auszuschließen, sind zwei identisch aufgebaute Zähler vorgesehen, die bei jeder Erhöhung des Zählerstandes abwechselnd benutzt werden. Diese Zähleraufbau ist zwar sehr sicher, erfordert jedoch eine relativ hohe Anzahl an Speicherzellen und hat damit einen hohen Flächenbedarf.

Aus der EP 0 398 545 A1 ist ein Kilometerzähler bekannt, der ebenfalls mit einem binären Zähler gebildet ist, dessen Zählerstand in regelmäßigen Abständen nicht-flüchtig in Speicherzellen gespeichert wird. Da nicht-flüchtige Speicherzellen insbesondere EEPROM-Zellen nicht beliebig oft gelöscht und neu beschrieben werden können sind eine Anzahl identischer Speicherbereiche vorgesehen, die nacheinander, jeweils nach Ablauf der "Lebensdauer" des vorherigen Speicherbereichs, in Gebrauch sind. Um den jeweils aktuellen Speicherbereich zu kennzeichnen sind Kontrollspeicherzellen vorgesehen, deren Zustand ausgewertet wird.

Bei dem bekannten Zähler wird bei einem Speicherbereichswechsel zunächst der neue Speicherbereich gelöscht. Dann wird der aktuelle Zählerstand in diesen eingetragen. Anschließend wird die zugehörige Kontrollspeicherzelle programmiert. Abschließend wird die Kontrollspeicherzelle des alten Speicherbereichs gelöscht. Es sind bei einem Speicherbereichswechsel insgesamt vier Löscho- und Programmervorgänge durchzuführen, was eine erhebliche Zeit benötigt. Dies ist bei einem Kilometerzähler, bei dem erst nach beispielsweise 20 000 km ein Speicherwechsel nötig ist, nicht weiter problematisch.

Bei Telefonwertkarten, bei denen für jede verbrauchte Einheit ein Zählerstandwechsel und damit ein Speicherbereichswechsel stattfinden muß, ist dies jedoch nicht akzeptabel.

Die Aufgabe vorliegender Erfindung ist es daher, ein Verfahren zum sicheren Ändern eines in einem Speicher gespeicherten Wertes sowie eine integrierte Schaltungsanordnung hierzu anzugeben, die einerseits mit einer geringen Anzahl von nichtflüchtigen Speicherzellen auskommt und andererseits einen schnellen Speicherbereichswechsel erlaubt.

Die Aufgabe wird mit einem Verfahren gemäß Anspruch 1 und einer Schaltungsanordnung gemäß Anspruch 2 gelöst.

Gemäß der Erfindung wird ein aktueller Wert, vorzugsweise der Zählerstand eines Binärzählers, in einem hierfür vorgesehenen Speicherbereich nicht-flüchtig programmiert. Diesem Speicherbereich ist zumindest eine Kontrollspeicherzelle zugeordnet, deren Ladezustand diesen Speicherbereich als den momentan inaktiven bzw. ungültigen ausweist. In einem weiteren Speicherbereich ist der zuvor gültige Wert, also der vorherige Zählerstand gespeichert, wobei die zugehörigen Kontrollspeicherzelle diesen Speicherbereich als den gültigen ausweist.

Nach dem Beschreiben des (noch) ungültigen Speicherbereichs mit dem aktuellen Wert bzw. Zählerstand wird der (noch) gültige Speicherbereich gelöscht und in erfindungsgemäßer Weise gleichzeitig der Ladezustand der zugehörigen Kontrollspeicherzelle geändert, beispielsweise gelöscht, so daß dieser Speicherbereich nun als der ungültige angezeigt wird. Ebenfalls gleichzeitig wird auch der Ladezustand der Kontrollspeicherzelle des gerade beschriebenen Speicherbereichs geändert, beispielsweise programmiert, so daß dieser Speicherbereich als der nunmehr gültige ausgewiesen wird.

Beim erfindungsgemäßen Verfahren sind also pro Speicherbereichswechsel nur zwei Löscho- und Programmervorgänge erforderlich. Bevor der neu beschriebene Speicherbereich als gültig ausgezeichnet wird kann in bekannter Weise die Richtigkeit des eingeschriebenen Wertes überprüft werden, um Manipulationen zu verhindern. Die Speicherbereiche umfassen in vorteilhafter Weise genauso viele Zellen wie der Wert Stellen bzw. der den Wert repräsentierende Zähler Zählstellen hat.

Bei einer bevorzugten Schaltungsanordnung, die eine Durchführung des Verfahrens ermöglicht, sind zu jedem Kontrollspeicherzellen-Speichertransistor zwei Auswahltransistoren in Serie geschaltet, die den Source- und den Drainanschluß des Speichertransistors mit Masse bzw. einer mit einer Programmiervoltage beaufschlagbaren Bitleitung verbinden. Die Gateanschlüsse der Auswahltransistoren sind so miteinander verschaltet, daß der eine Speichertransistor gelöscht wird, wenn der andere programmiert wird. Außerdem sind die Steuergates der Speichertransistoren der Kontrollspeicherzellen mit den Steuergates der Speichertransistoren der zugehörigen Speicherbereiche derart verbunden, daß ein Löschen eines Speicherbereichs auch das Löschen der zugehörigen Kontrollspeicherzelle zur Folge hat.

Die Erfindung wird nachfolgend anhand eines Ausführungsbeispiels mit Hilfe von Figuren näher erläutert. Dabei zeigen

Fig. 1 einen Ausschnitt aus einem nicht-flüchtigen Speicher mit zwei erfindungsgemäßen Speicherbereichen und

Fig. 2 eine Tabelle mit den Spannungswerten die zum Löschen bzw. Programmieren der Speicherbereiche erforderlich sind.

Fig. 1 zeigt einen Ausschnitt aus einem EEPROM-Speicher mit zwei Speicherbereichen Z1, Z2. Der Speicher ist in üblicher Weise in Spalten und Zeilen organisiert, wobei im dargestellten Beispiel lediglich zwei Spalten und zwei Zeilen dargestellt sind.

Jede Speicherzelle SZ11 . . . SZ22 ist hier mit einem Speichertransistor mit einer isolierten Speicherelektrode und ei-

nem dazu in Serie geschalteten Auswahltransistor gebildet. Die Sourceanschlüsse der Speichertransistoren können über einen Schalttransistor T mit Masse verbunden werden. Der Schalttransistor T weist hierzu einen Steueranschluß S auf.

Die Speicherzellen SZ11, SZ12; SZ21, SZ22 eines Speicherbereichs Z1; Z2 sind jeweils in einer Zeile des Speichers angeordnet, so daß sie alle gleichzeitig durch Adressierung nur einer Zeile gelöscht, programmiert oder gelesen werden können. Die Drainanschlüsse der Auswahltransistoren der Speicherzellen SZ11 . . . SZ22 sind mit Bitleitungen verbunden, die zu Bitleitungsanschlüssen SP1, SP2 führen. An den Bitleitungsanschlüssen SP1, SP2 kann entweder der gespeicherte Zustand abgegriffen werden oder die zum Löschen/Programmieren nötigen Spannungen angelegt werden.

In folgendem sollen die Programmier-, Löschen und Leseabläufe für solche EEPROM-Zellen am Beispiel der Speicherzelle SZ11 des ersten Speicherbereichs Z1 erläutert werden:

Beim Programmieren wird die isolierte Speicherelektrode (floating gate) des Speichertransistors positiv geladen. Hierzu wird der Steuergateanschluß SG1 des Speichertransistors auf Masse gelegt und am zugehörigen Bitleitungsanschluß SP1 eine hohe Programmiervoltage von etwa 20 Volt angelegt. Der Sourceanschluß des Speichertransistors wird auf schwebendem Potential gelassen indem der Schalttransistor T sperrend geschaltet wird. Um die hohe Programmiervoltage über den Auswahltransistor der Speicherzelle SZ11 zum Drainanschluß des Speichertransistors schalten zu können, muß auch am Gateanschluß des Auswahltransistors die hohe Programmiervoltage anliegen. Durch die positive Ladung auf der isolierten Gateelektrode wird die Einsatzspannung des Speichertransistors zu negativen Werten verschoben, so daß er bereits bei unbeschaltetem Steuergateanschluß SG1 leitet.

Um die Speicherzelle wieder zu löschen, wird an den Steuergateanschluß SG1 des Speichertransistors die hohe Programmiervoltage V_p angelegt und dessen Sourceanschluß über den Schalttransistor T auf Masse gelegt. Auf diese Weise wird die isolierte Gateelektrode des Speichertransistors wieder entladen, wodurch die Einzelspannung des Speichertransistors steigt, so daß er bei unbeschaltetem Steuergateanschluß SG1 sperrt.

Zum Lesen des Ladezustands der Speicherzelle SZ11 wird an den Gateanschluß AG1 des Auswahltransistors die positive Versorgungsspannung V_{cc} der integrierten Schaltung, in der der Speicher realisiert ist, angelegt, so daß dieser leitet und dadurch die Speicherzelle ausgewählt ist. Abhängig davon ob der Speichertransistor programmiert ist oder nicht wird er leiten oder eben nicht. Dies kann am Bitleitungsanschluß SP1 detektiert werden.

Gemäß Fig. 1 ist jedem Speicherbereich Z1; Z2 eine Kontrollspeicherzelle KZ1; KZ2 zugeordnet. Jede Kontrollspeicherzelle ist mit einem ersten Auswahltransistor AT11; AT21, einem Speichertransistor ST1; ST2 und einem zweiten Auswahltransistor AT12, AT22 gebildet, die in Serie geschaltet sind. Der Sourceanschluß der zweiten Auswahltransistoren AT12, AT22 ist mit Masse verbunden. Der Drainanschluß der ersten Auswahltransistoren AT11, AT21 ist über eine Kontrollbitleitung mit einem Kontrollbitleitungsanschluß SPF verbunden.

Die Steuergateanschlüsse der Speichertransistoren ST1, ST2 der Kontrollspeicherzellen KZ1, KZ2 sind mit den Steuergateanschlüssen SG1, SG2, der Speichertransistoren der Speicherbereiche Z1, Z2 verbunden. Die Gateanschlüsse des ersten Auswahltransistors AT11 der ersten Kontrollspeicherzelle KZ1 und des zweiten Auswahltransistors AT22 der zweiten Kontrollspeicherzelle KZ2 sind mit dem Steuergateanschluß des Speichertransistors ST2 der zweiten Kon-

trollspeicherzelle KZ2 verbunden, während die Gateanschlüsse des zweiten Auswahltransistors AT12 der ersten Kontrollspeicherzelle KZ1 und des ersten Auswahltransistors AT21 der zweiten Kontrollspeicherzelle KZ2 mit dem Steuergateanschluß des Speichertransistors ST1 der ersten Kontrollspeicherzelle KZ1 verbunden sind.

Durch diese Be- bzw. Verschaltung der Kontrollspeicherzellen untereinander und mit den Speicherbereichen wird erzielt, daß beim Löschen eines Speicherbereichs Z1 bzw. Z2 gleichzeitig die zugehörige Kontrollspeicherzelle KZ1 bzw. KZ2 gelöscht und die jeweils andere Kontrollspeicherzelle KZ2 bzw. KZ1 programmiert wird. Hierzu muß am Kontrollbitleitungsanschluß SPF ein hohes positives Potential V_p anliegen.

Fig. 2 zeigt eine Tabelle, in der die Spannungen eingetragen sind, die für die Löschen- bzw. Programmiervorgänge an die maßgeblichen Anschlüsse AG1, SG1, AG2, SG2, SP1, SP2, SPF, S anzulegen sind. Im oberen Teil der Tabelle sind dabei die Spannungen für einen Schreibvorgang in zweiten Speicherbereich Z2 eingetragen. Der Eintrag 0/ V_p bedeutet hierbei, daß abhängig davon, ob eine logische 0 oder eine logische 1 geschrieben werden soll entweder Massepotential oder die positive Programmiervoltage an den jeweiligen Bitleitungsanschluß angelegt werden soll. Das Fehlen eines Eintrags über die Spannung des Gateanschluß AG1 der Auswahltransistoren des ersten Speicherbereichs Z1 im Fall des Löschens des ersten Speicherbereichs Z1 bedeutet, daß der Wert dieser Spannung für den Löschvorgang nicht von Bedeutung ist.

Die Tabelle in Fig. 2 zeigt den Fall, daß zuerst der zweite Speicherbereich Z2 mit einem aktuellen Wert beschrieben wird und anschließend der erste Speicherbereich Z1 gelöscht und die zugehörigen Kontrollspeicherzellen KZ1, KZ2 programmiert bzw. gelöscht werden. Für die Speicherung des nächsten Wertes wird entsprechend zuerst der erste Speicherbereich Z1 beschrieben und dann der zweite Speicherbereich Z2 gelöscht und die Kontrollspeicherzellen KZ2, KZ1 wieder umgeladen und sofort. Hierdurch wird immer zuerst der neue Zählerstand geschrieben während der alte Zählerstand noch erhalten bleibt und erst nach erfolgreichem Schreiben gelöscht wird, so daß ein Fehlerrisiko minimiert ist.

Die Erfindung wurde anhand eines EEPROM-Speichers mit herkömmlichen Speicherzellen, die mit einem Speicher und einem Auswahltransistor aufgebaut sind, erläutert. Die Erfindung läßt sich jedoch ohne weiteres auch auf beispielsweise Flash-EEPROM-Speicherzellen anwenden, deren Speicherzellen aus nur einem Transistor bestehen. Auf eine Darstellung und Erläuterung der Zuschaltung von Spannungen an die Anschlüsse des Speichers sowie die Verbindung der Ausgänge eines Zählers mit den Eingängen des Speichers wurde verzichtet, da dies dem Fachmann absolut geläufig ist. Der gesamte Ablauf wird durch eine Steuereinrichtung, die entweder als spezielle Schaltung fest verdrahtet vorzugsweise auf derselben integrierten Schaltung vorliegt oder auch durch einen Mikroprozessor gebildet ist, gesteuert. Die Verbindung der Steuereinrichtung mit einem Zähler und der erfindungsgemäßen Schaltungsanordnung sowie die Ansteuerung dieser Elemente nach dem erfindungsgemäßen Verfahren ist dem Fachmann geläufig.

Patentansprüche

1. Verfahren zum sicheren Ändern des Wertes eines Datenträgers mit zumindest zwei nicht-flüchtigen Speicherbereichen (Z1, Z2) zum Speichern des jeweils gültigen Wertes, wobei jedem Speicherbereich (Z1, Z2) zumindest eine nicht-flüchtige Kontrollspeicherzelle

(KZ1, KZ2) zugeordnet ist, durch deren Zustand der jeweils gültige Speicherbereich (Z1; Z2) definiert ist, mit den Schritten:

- der nicht-gültige Speicherbereich (Z2; Z1) wird mit dem aktuellen Wert beschrieben, 5
- der zuvor gültige Speicherbereich (Z1; Z2) und die zugehörige Kontrollspeicherzelle (KZ1; KZ2) werden gleichzeitig gelöscht und ebenfalls gleichzeitig wird die Kontrollspeicherzelle (KZ2; KZ1) des zuvor beschriebenen Speicherbereichs (Z2; Z1) programmiert, so daß dieser als der gültige Speicherbereich erkannt werden kann. 10

2. Integrierte Schaltungsanordnung mit einem Speicher mit zumindest zwei nicht-flüchtigen Speicherbereichen (Z1, Z2) zum Speichern jeweils gültiger Werte, 15 wobei jedem Speicherbereich (Z1, Z2) zumindest eine nicht-flüchtige Kontrollspeicherzelle (KZ1; KZ2) zugeordnet ist, durch deren Zustand der jeweils gültige Speicherbereich (Z1; Z2) definiert ist, dadurch gekennzeichnet, 20

daß Steuergateanschlüsse der Speichertransistoren (ST1, ST2) der Kontrollspeicherzellen (KZ1, KZ2) mit Steuergateanschlüssen (SG1, SG2) der jeweils zugehörigen Speicherbereich-Speichertransistoren verbunden sind, 25

daß Drainanschlüsse der Kontrollspeicherzellen Speichertransistoren (ST1, ST2) über erste Auswahltransistoren (AT11, AT21) mit einer Bitleitung verbunden sind, 30

daß Sourceanschlüsse der Kontrollspeicherzellen Speichertransistoren (ST1, ST2) über zweite Auswahltransistoren (AT12, AT22) mit Masse verbunden sind, daβ Gateanschlüsse der zweiten Auswahltransistoren (AT12; AT22) mit dem Steuergateanschluß des Speichertransistors (ST1; ST2) derselben Kontrollspeicherzelle (ST1, ST2) verbunden sind, 35

daß Gateanschlüsse der ersten Auswahltransistoren (AT11, AT21) mit dem Steuergateanschluß des Speichertransistors (ST2; ST1) der jeweils anderen Kontrollspeicherzelle verbunden sind. 40

Hierzu 1 Seite(n) Zeichnungen

45

50

55

60

65

FIG 1

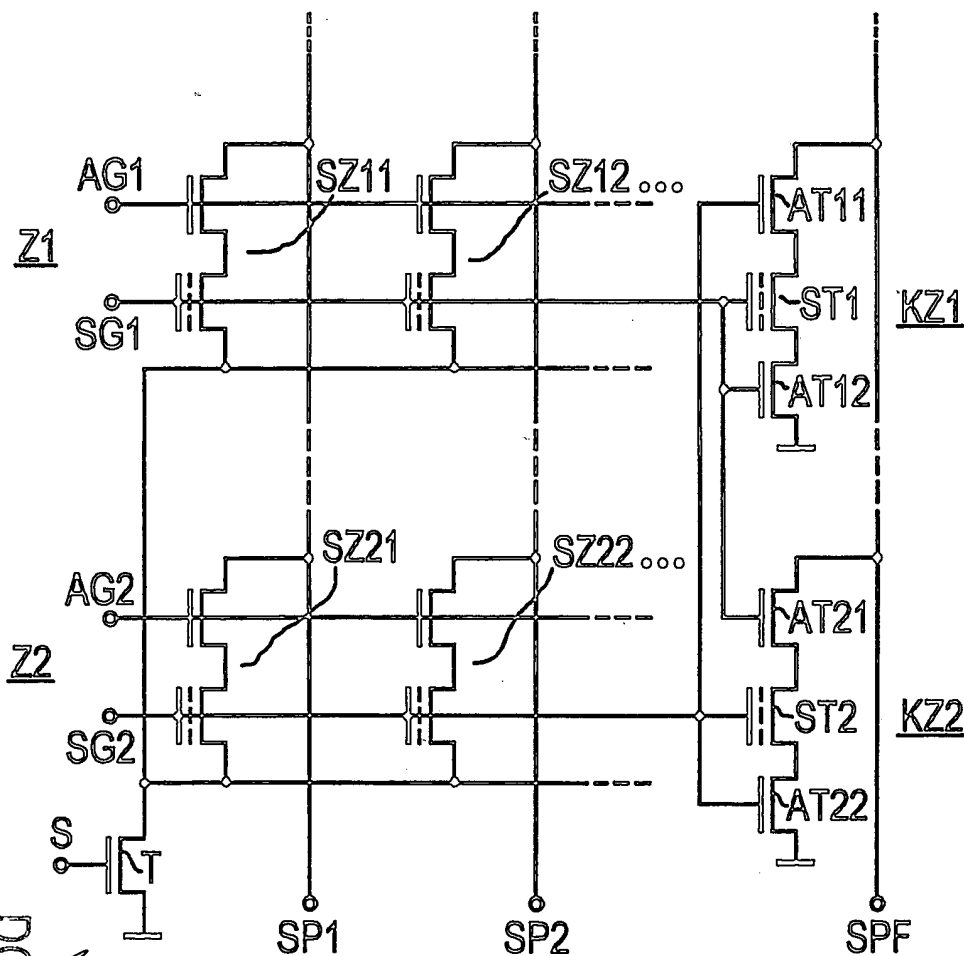


FIG 2

AG1	SG1	AG2	SG2	SP1	SP2	SPF	S
0	0	Vp	0	0/Vp	0/Vp	0	0
/	Vp	0	0	0	0	Vp	Vcc

DOCKET NO: 1999P2671
SERIAL NO:
APPLICANT: Brühlmeier et al.

LEARNER AND GREENBERG P.A.
P.O. BOX 2480
HOLLYWOOD, FLORIDA 33022
TEL (954) 925-1100